

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56-131960

⑪ Int. Cl.³
H 01 L 29/78
29/06
29/60

識別記号

庁内整理番号
6603-5F
7514-5F
7638-5F

⑬ 公開 昭和56年(1981)10月15日

発明の数 2
審査請求 未請求

(全 3 頁)

⑭ 半導体装置およびその製造方法

門真市大字門真1006番地松下電
器産業株式会社内

⑮ 特 願 昭55-35297

⑯ 発 明 者 長野数利

⑰ 出 願 昭55(1980)3月19日

門真市大字門真1006番地松下電
器産業株式会社内

⑱ 発 明 者 安野耕介

⑲ 発 明 者 大仲清司

門真市大字門真1006番地松下電
器産業株式会社内

門真市大字門真1006番地松下電
器産業株式会社内

⑳ 発 明 者 梶原孝生

㉑ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地松下電
器産業株式会社内

門真市大字門真1006番地

㉒ 発 明 者 中島龍典

㉓ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

半導体装置およびその製造方法

2、特許請求の範囲

- (1) 一導電形の半導体基板の主面に側面ならびに底面の形成された凹部を有し、前記凹部の側面から選択的に前記基板内に形成され、前記基板と逆導電形で前記凹部の底面から頂上に至る第1の領域と、この第1の領域内に形成され、前記基板と同一導電形で前記凹部の底面から頂上面に至る第2の領域とを備え、前記凹部の頂上面および底面にゲート絶縁膜を介してゲート電極が設置されることを特徴とする半導体装置。
- (2) 第1の領域が絶縁ゲート電界効果トランジスタのチャンネル領域、第2の領域が同トランジスタのソース又はドレイン領域であることを特徴とする特許請求の範囲第1項に記載の半導体装置。
- (3) 一導電形の半導体基板の主面に凹部を形成する工程と、前記凹部の側面から選択的に二重拡散によって基板と逆導電形および同一導電形の第1、

第2の領域を形成する工程と、前記凹部の頂²面および底面にゲート絶縁膜を介してゲート電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

3、発明の詳細な説明

本発明は半導体装置、特にV字形の溝を有する従来のMOSトランジスタの耐圧をはじめとする電気特性と機械的強度の改善を目的とするものである。

二重拡散形のMOSトランジスタは高速、高 g_m 化が容易なため最近注目されている素子である。この素子を電力用やLSI、ICに应用する場合コストの低減および素子実装密度を向上させるため高密度化が努力されている。高密度化の提案として最近実用化されたものにV-MOSがある。

V-MOSの主要部断面構造を第1図に示す。このV-MOSはNチャンネル形でありPチャンネル形は導電形が逆になる。ドレイン領域となるN⁺形基板1の主面にN形のエピタキシャル層2があり、その主面からチャンネルとなるP形拡散層3、

ソース領域となる N^+ 形拡散層4が二重拡散³によって形成されている。V-MOSと呼ばれる理由はP形拡散層3および N^+ 形拡散層4を横切ってV字形の溝が形成されているからである。このV溝は通常基板の結晶方位(100)とする事と異方性エッチング液によって形成されV溝の側面は(111)面となる。このV溝の側面にゲート絶縁膜5を介してゲート電極6がありMOSトランジスタを構成している。1'はドレイン電極である。このV-MOSトランジスタに比較してV溝の両側面にチャンネルが形成されるため高密度化に好都合な構造である。

しかしV-MOSには耐圧(BV_{SDX})を高くできない欠点がある。 BV_{SDX} とはソース・ドレイン間の耐圧で動作電圧に制約を与えることから大きい方が良くとされている。これは N^- 形エピタキシャル層2に対してP形拡散層3とが鋭角で接する領域とV溝の底面に電界集中が生じるためである。さらにこのV溝は半導体基板の機械的強度を低下させる欠点ももっている。これはV溝の底

エッチング保護膜7によって選択的に N^- 形エピタキシャル層2をエッチングし凹部を形成する(第3図A)。この工程では N^+ 形基板1の結晶方位を(100)面とする事と、エッチング液をKOH、ヒドラジン等異方性エッチング液を用いることによって、エッチングの精度を向上させるとともに凹部の側面が(111)面となり適度の傾きが得られるため後のフォトリソ工程での支障を少なくする事ができる。これはV-MOSにおけるV溝の形成に似ているが、底面にフラットな領域を残すところが異なる。また N^- エピタキシャル層2の厚みおよび抵抗率は素子の耐圧を決定する重要な因子であり、たとえば厚み $10\mu m$ 、抵抗率 $6\Omega\cdot cm$ を選らば耐圧は150~200Vにすることが出来る。これは従来のV-MOS構造では60~90V程度としかできないものに比較して大きな改善である。凹部の深さとしては2~3 μm が選らばれる。

SiO_2 膜等の拡散保護膜8を被着し、凹部の側面のみ選択的に除去して、P形不純物、N形不純

部に応力の集中がおこりやすくクラックが入りやすいためである。またV-MOSではV溝の側面すなわち(111)面へMOSトランジスタが形成されるため移動度、表面電荷の面からもあまり好ましくなかった。

本発明はかかる問題の検討に鑑み、底面を有する凹部とこれを有効に活用して特有のチャンネル、ゲート構造を有する絶縁ゲート型半導体装置を提供するものである。

本発明の一実施例にかかるMOSトランジスタを第2図に示す。これは N^- 形エピタキシャル層2の主面にもうけられた凹部の側面から二重拡散によってその頂上面および底面にMOSトランジスタを形成するものである。3、4'はP形、 n 形拡散層、9、9'はゲート絶縁膜、10はゲート電極である。

以下第3図に従って第2図のMOSトランジスタの製造方法および構造を説明する。

ドレイン領域となる N^+ 形基板1に N^- 形のエピタキシャル層2を形成し、 SiO_2 膜等からなる

物を二重拡散してチャンネル領域となるP形拡散層3'、ソースとなる N^+ 形拡散層4'を形成する(第3図B)。すなわち、層3、4は凹部の底面から頂上面にわたって形成されている。凹部の側面のみ拡散保護膜8を除去するフォトリソ工程はネガ形のフォトリソを用いる事によって達成できる。チャンネル領域となるP形拡散層3'およびソースとなる N^+ 形拡散層4'は制御性の観点からイオン注入法が望ましい。その条件としてはボロン(B)を $3 \times 10^{13} (atms/cm^2)$ 砒素(As)を $1 \times 10^{16} (atms/cm^2)$ 注入し、1100℃で20時間のドライブインをすれば、P形拡散層3'が深さ約3 μm 、 N^+ 形拡散層4'が深さ約1.5 μm とする事ができる。

凹部の底面および N^- 形エピタキシャル層2の元の表面すなわち頂上面へ、ゲート絶縁膜(9および9')を形成する(第3図C)。このゲート絶縁膜9および9'としては、たとえば SiO_2 膜で100 μm 程度の厚みが選らばれる。その後凹部内にゲート電極10等が形成され、ウェハプロセスを終了

する。

なお、本発明の構造において、基板1がソース、層4をドレインとしてもよい。

本発明の半導体装置は凹部の側面からの二重拡散によってMOSトランジスタを構成するため、一つの凹部で4つのチャンネルを形成する事ができ、一つの凹部で2つのチャンネルを形成するV-MOSに比較して高密度化が容易である。またV-MOSに存在していた電界集中を発生しやすい領域がなくなるため高耐圧化が容易でほぼ N^- 形エピタキシャル基板の耐圧とする事ができる。さらに凹部がV字形とならないため応力集中もなく機械的な強度も低下しない。その上、MOSトランジスタは(100)面へ形成されるために、移動度、表面電荷の影響も従来(111)面に形成されるV-MOSに比較して少なくできる利点をもっている。このようにして、本発明は高性能の微少な絶縁ゲート型半導体装置の実現に大きく寄与するものである。

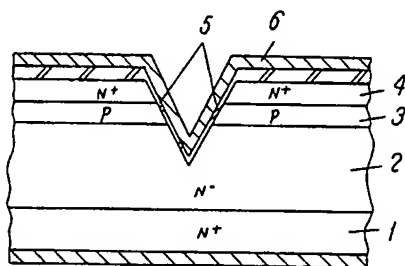
、図面の簡単な説明

第1図は従来のV-MOSの構造断面図、第2図は本発明の一実施例にかかるV-MOSの構造断面図、第3図(A)~(C)は本発明の一実施例のV-MOSの製造工程説明図である。

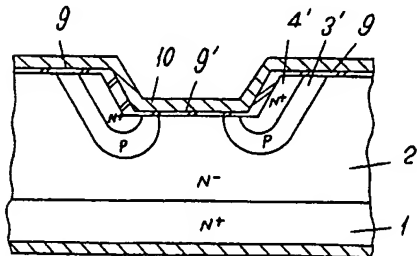
1 …… N^+ 形基板、2 …… N^- 形エピタキシャル層、3' ……P形拡散層、4' …… N^+ 形拡散層、9, 9' ……ゲート絶縁膜、10 ……ゲート電極。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

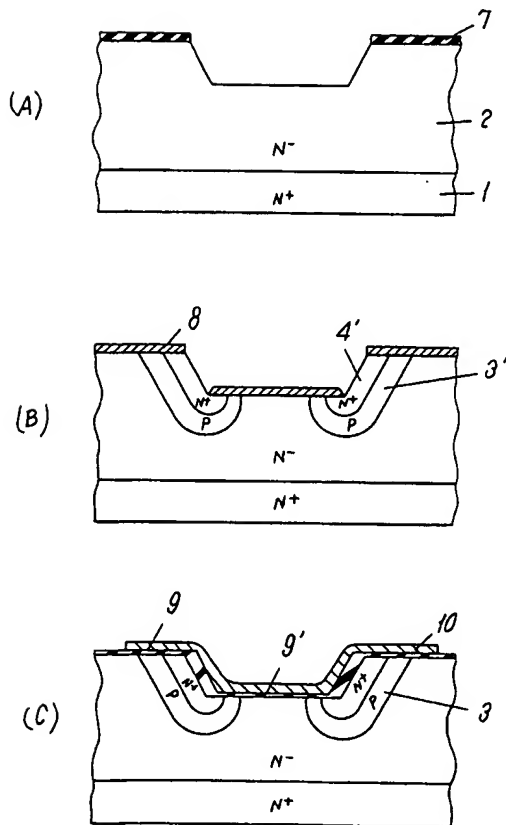
第 1 図



第 2 図



第 3 図



MENU

SEARCH

INDEX

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **56-131960**
(43)Date of publication of
application : **15.10.1981**

(51)Int.Cl. **H01L 29/78**
H01L 29/06
H01L 29/60

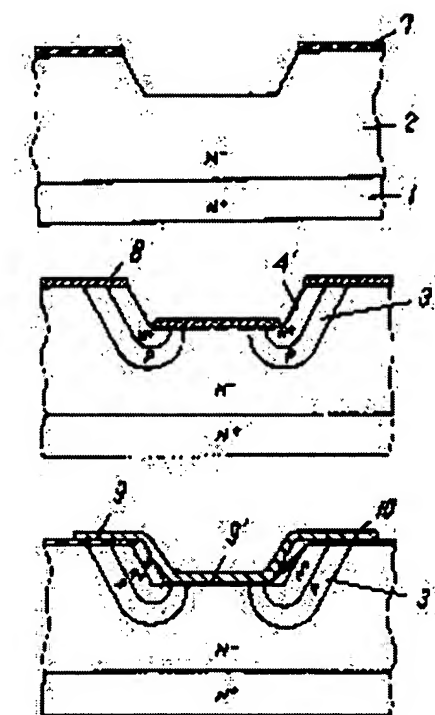
(21)Application number :	55-035297	(71) Applicant :	MATSUSHITA ELECTRIC IND CO LTD
(22)Date of filing :	19.03.1980	(72)Inventor :	YASUNO KOSUKE KAJIWARA KOSEI NAKAJIMA TATSUNORI NAGANO KAZUTOSHI ONAKA SEIJI

(54) SEMICONDUCTOR DEVICE AND ITS PREPARATION

(57)Abstract:

PURPOSE: To obtain FET of high withstanding voltage, high mechanical strength and high density by providing a concave having a side face and a bottom face on the main face of Si substrate, performing double diffusions from the side face.

CONSTITUTION: When N- epitaxial layer on the surface of N+ type substrate (100) is anisotropically etched with SiO₂ as a mask, a groove with flat bottom is formed wherein mechanical strength thereof increases more than V groove. Moreover, by covering with SiO₂ 8, removing side faces only selectively, performing double diffusion, P layer 3, N+ source 4' which become channel are formed by ion implantation and heat-treated. Next, removing the film 8, covering with gate oxide films 9 and 9', a gate electrode 10 is provided. In this consitution, four channels per concave are obtained and high density effect is obtained easily. Further, as there are no regions for electric field to easily concentrate, high withstanding voltage is available, thereby becoming withstanding voltage approximately of N- epitaxial layer. By so doing, a fine insulating gate type device of high performance can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office